

インダクティブパルス重畳方式による 超高速スイッチング素子の駆動回路

矢島哲志* 野口季彦 (長岡技術科学大学)

Inductive Impulse Superposition Based Gate Drive Circuit of Ultra High-Speed Switching Devices
Satoshi Yajima*, and Toshihiko Noguchi (Nagaoka University of Technology)

1. まえがき

筆者らはこれまでに超高速スイッチング素子駆動回路の高 dv/dt に起因する EMI ノイズ対策や、ゲート容量の高速充放電方式について検討してきた⁽¹⁾⁽²⁾。本稿では後者について実験検証し、従来方式との比較評価をしたので報告する。

2. インダクティブパルス重畳ゲート駆動回路

<2・1> 回路構成

図 1 に提案するゲート駆動回路を示す。従来のプッシュプル形ゲート駆動回路に、L1, L2, Q4, Q5, R5, R6, R7, ZD3, ZD4 で構成されるインダクティブパルス重畳回路を付加した形となっている。

<2・2> 動作原理

プッシュプル形のゲート駆動回路では、主素子をオンさせるときには正電源のみ、オフさせるときには負電源のみが主素子ゲートへのエネルギー供給源として使われている。正負電源が交互に使われるので電源利用率が悪く、主素子ゲートの充放電速度はゲート抵抗とゲート容量によって一義的に決定されていた。そこで、使用されていない側の電源を利用してインダクタにエネルギーを一時的に蓄積し、次回スイッチング時にそのエネルギーを放出することによって主素子ゲートを高速に充放電するインダクティブパルス重畳方式を提案する。この方式では主素子ゲートへのエネルギー供給経路とは別に、エネルギー供給源となっていない電源で電流経路を構成しインダクタを流通状態とすることによってエネルギーを蓄える。その後、主素子のスイッチングを行う際に、インダクタへの電流を遮断することにより、インダクタに発生するサージ電圧を主素子ゲート電圧に重畳してゲート容量の高速な充放電を実現する。

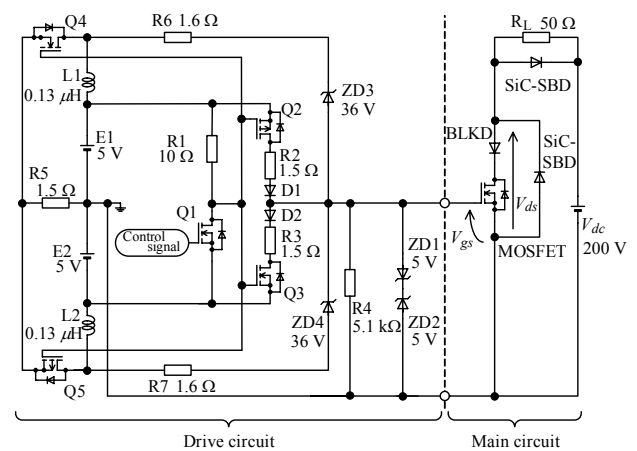
いま、制御信号がオフ状態であると仮定すると (Q1, Q2, Q5 : オフ, Q3, Q4 : オン), E1-L1-Q4-R5 の経路で L1 に電流が流れてエネルギーが蓄積される。次に、制御信号がオフからオン状態に切り換わったとき (Q1, Q2, Q5 : オン, Q3, Q4 : オフ), Ldi/dt によって生じるサージ電圧が R6-ZD3 の経路を通じて主素子ゲートに印加される。このとき、サージ電圧は Q2 がオンになったことにより印加される通常のゲート電圧に重畳され、スイッチングの瞬間だけ

高い電圧でゲート容量の充電が行われる。制御信号がオンからオフ状態へ切り換わったときは、E2, L2, Q5, R5, R7, ZD4 で同様の動作が行われる。なお、主素子ゲートと電源との間で $E1 > V_{gs}$, $V_{gs} > -E2$ の関係を保つことで、ZD3 または ZD4 を通じて主素子側からインダクタ L1, L2 側への逆流を防ぐことができる。

3. 実験結果

提案するゲート駆動回路の有効性を確認するために実験検証を行った。各素子パラメータは図 1 に示した値とし、制御信号は 100 kHz, 50% デューティの方形波とした。実験では、電源電圧やゲート抵抗などを同一とし、インダクティブパルス重畳回路の有無のみが異なるプッシュプルゲート駆動回路を比較評価した。

図 2, 図 3 に従来回路と提案回路の制御信号, ゲート・ソース間電圧, ドレイン・ソース間電圧の波形を示す。これらの波形は比較のため基準時間を同一としてあり、波形から読み取られるスイッチング時間を表 1 のようにまとめた。なお、制御信号の波形は、Q1 のゲート・ソース間電圧の波形である。従来回路と提案回路とで Q1 の波形に相違が生じているが、立ち上がり開始と立ち下がり開始から Q1 のゲ



Q1 : IRLMS1503 Q2, Q5 : FDS9435A Q3, Q4 : FDS6630A
D1, D2 : DSS10-0045B SiC-SBD : SDT06S60 BLKD : SF10LC30SM
MOSFET : IPA60R165CP

図 1 インダクティブパルス重畳方式の回路構成
Fig. 1. Circuit configuration of inductive impulse superposition method.

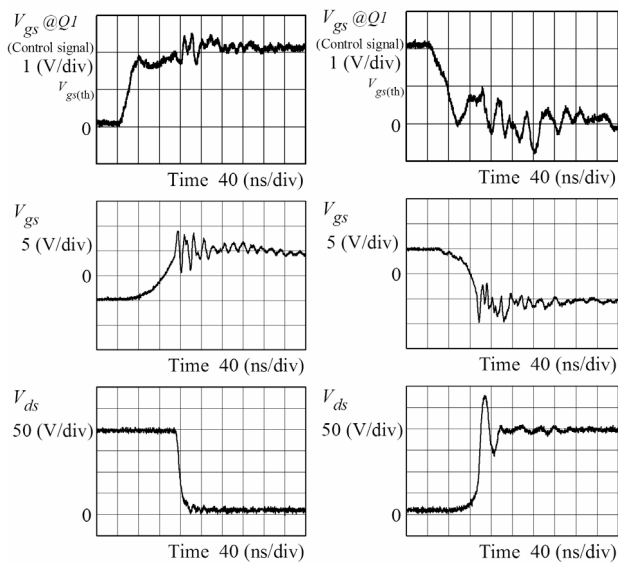


図2 従来回路の動作波形
Fig. 2. Operating waveforms of conventional circuit.

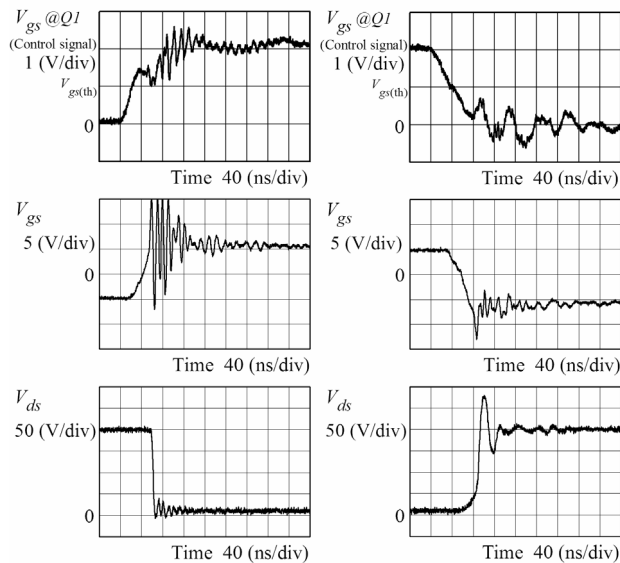


図3 提案回路の動作波形
Fig. 3. Operating waveforms of proposed circuit.

表1 スイッチング時間の測定結果
Table 1. Measured results of switching times.

	Conventional circuit	Proposed circuit
V_{gs} rise time T_1	70.8 ns	34.0 ns
V_{gs} fall time T_2	68.4 ns	40.8 ns
V_{gs} rise-delay time T_3	106 ns	54.8 ns
V_{gs} fall-delay time T_4	97.6 ns	67.2 ns
V_{ds} fall time T_5	21.6 ns	4.88 ns
V_{ds} rise time T_6	24.4 ns	23.6 ns
Turn-on time T_7	104 ns	44.8 ns
Turn-off time T_8	80.8 ns	62.4 ns
V_{ds} fall-delay time T_9	130 ns	62.2 ns
V_{ds} rise-delay time T_{10}	105 ns	86.4 ns

ト閾値電圧 $V_{gs(th)} = 1$ V までの所要時間は同じであるので、図4に定義したスイッチング時間の計測と正当な比較評価を行うことができる。

まず、主素子ゲート・ソース間電圧 V_{gs} の波形から、提案回路は従来回路より急峻な立ち上がり、立ち下がり特性を有していることがわかる。このように、提案するインダクティブパルス重畳方式を採用することで、主素子ゲート容量の高速な充放電を実現することができる。

主素子をオンする際、制御信号から V_{gs} の遅延時間 T_3 、立ち上がり時間 T_1 、オン時間 T_7 は、提案回路では従来回路のほぼ1/2であり、特に主素子ゲート・ソース間電圧 V_{ds} の立ち下がり時間 T_5 は1/4となった。また、制御信号から V_{ds} の立ち下がり遅延時間 T_9 は従来回路より67.8 ns短縮できた。

一方、主素子のオフ時については、制御信号から V_{gs} の遅延時間 T_4 、立ち下がり時間 T_2 には十分な改善が見られるが、 V_{ds} の立ち上がり時間 T_6 にはほとんど改善が見られなかった。このため、制御信号から V_{ds} の立ち上がり遅延時間 T_{10}

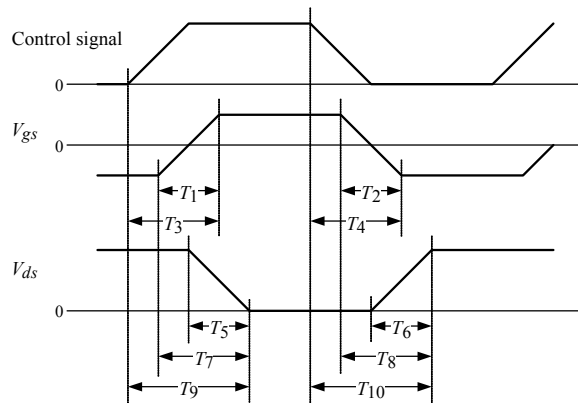


図4 測定時間の定義 (10-90%上昇時間と下降時間)
Fig. 4. Definition of measured switching times (10-90% rise time and fall time).

は従来回路より18.6 nsの短縮に留まった。

4. まとめ

本稿では、主素子ゲート駆動回路の正負電源を有効利用するとともに、ゲート容量の高速な充放電を実現するインダクティブパルス重畳方式について実験検証を行った。その結果、制御信号から主回路ドレイン・ソース間電圧の立ち下がりまでの時間を従来回路と比較して半減することができ、立ち上がりでは約2割短縮することができた。また、ドレイン・ソース間電圧の立ち下がり時間を従来回路の1/4に短縮することができ、4.88 nsの超高速スイッチングを実現することができた。

文献

- (1) 小松、野口：「高周波 EMI ノイズを低減する超高速スイッチング素子駆動回路の開発」, 電気学会半導体電力変換研究会, SPC-07-18, p.p.43-48 (平19)
- (2) 矢島・野口：「超高速スイッチング素子駆動方式の検討」, 第17回電学東京支部新潟支所研究発表会, p.52 (平19)