

カレントダブラと降圧チョップに基づく 1 kW 絶縁形デュアルポート DC/DC コンバータ

松下 由憲* (静岡大学, 矢崎総業) 野口 季彦 (静岡大学)
石居 真 田口 範高 (矢崎総業)

1-kW Dual Port DC/DC Converter with Galvanic Isolation Based on Current-Doubler and Buck Chopper
Yoshinori Matsushita* (Shizuoka University, Yazaki Corporation), Toshihiko Noguchi (Shizuoka University)
Makoto Ishii, Noritaka Taguchi (Yazaki Corporation)

This paper proposes a novel topology of a dual port DC/DC converter composed of an H-bridge inverter, a high-frequency galvanic isolation transformer, and a combined secondary circuit with a current-doubler and a buck chopper. The topology has lower conduction loss by multiple current paths and smaller output capacitors by means of an interleave operation. Results of 1-kW output experimental tests operated with 400-kHz switching frequency demonstrate proper operations and results of the efficiency evaluations indicate the maximum efficiency is 78.2%.

キーワード : DC/DC コンバータ, カレントダブラ, 降圧チョップ, デュアルポート
(DC/DC converter, current doubler, buck chopper, dual port)

1. はじめに

地球規模の環境問題を抑制するひとつの手段として、電力変換器の高効率化による電力消費量の削減が挙げられる。近年、注目されている再生可能エネルギーを活用するためにも電力変換器は必須であるため、電力変換器が担う役割は大きい^{(1)~(5)}。しかし、ひとつのシステム内に複数の再生可能エネルギー源や、要求する電圧が異なる複数の負荷がある場合、その入出力の数だけ電力変換器が必要になるため、装置全体の体積や重量の増大を招いてしまう。このような問題を解決するため、多入力多出力のマルチポートコンバータが注目されている^{(6)~(10)}。そのような背景の中、本研究ではひとつのバッテリーを電源とする小規模な直流給電システムに注目した。このようなシステムは更なる低損失化を図るため、出力を高電圧化する手法が用いられている。しかし、低電圧電源を要求する負荷の需要も依然として大きいため、1 入力 2 出力のデュアルポート DC/DC コンバータの需要も顕在化している。そこで筆者らは、カレントダブラと降圧チョップを兼ね備えた絶縁形マルチポート DC/DC コンバータを検討してきた。本稿では 400 kHz スイッチングで 1 kW 出力の実機検証を行い、各種特性の評価を行ったので報告する。

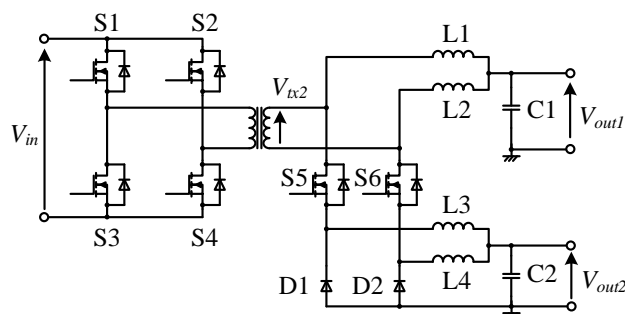


図 1 提案するデュアルポート DC/DC コンバータ
Fig. 1. Proposed dual port DC/DC converter.

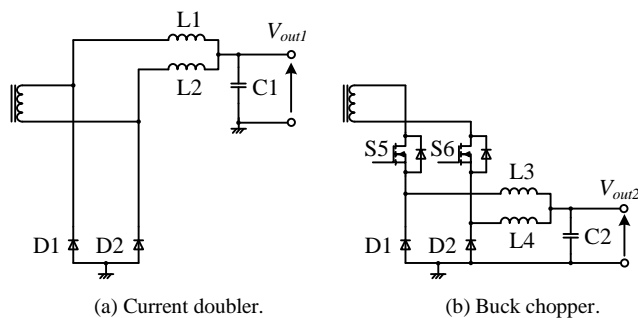


図 2 二次側回路の構成
Fig. 2. Decomposed configuration of secondary circuit.

2. 回路構成と動作原理

(2-1) 回路構成

Fig. 1 に提案回路を示す。入力電圧を V_{in} 、出力電圧を V_{out1} 、 V_{out2} とする 1 入力 2 出力の絶縁形デュアルポート DC/DC コンバータである。一次側は S1～S4 から成る H ブリッジインバータで構成され、高周波トランスと接続されている。高周波トランスの二次側は L1, L2, D1, D2, C1 から成るカレントダブル (Fig. 2 (a)) と、S5, S6, D1, D2, L3, L4, C2 から成る降圧チョップ (Fig. 2 (b)) とで構成されている。D1, D2 が両回路を兼ねており、部品点数削減に寄与している。

二次側回路は、カレントダブル側の出力 (V_{out1} 側) に対して L1, L2 の電流経路をもつので、負荷電流の経路がひとつのときと比べて導通損が半減される。また、それらの電流位相は 180° ずれてインターリーブ動作をするため、C1 におけるリップル周波数はインバータ周波数の 2 倍になる。これは C1 の容量、つまり体積を低減できることを意味する。降圧チョップ側の出力 (V_{out2} 側) と L3, L4 についても同様の動作となるため、C2 も小形化することができる。一次側 H ブリッジインバータと高周波トランスは既存の単純な構成であり、二次側回路のみでデュアルポート化されているのが本回路の特徴である。

(2-2) 動作原理

S1～S4 により、一次側の H ブリッジインバータが $+V_{in}$, 0 , $-V_{in}$ の 3 レベルの電圧を生成し、その電圧がトランスの一次側に印加される。巻数比に従い降圧されたトランス二次側電圧 V_{txs} のレベルと S5, S6 の ON, OFF 状態によって、本回路には 6 つの動作モードが存在する。

動作モードと V_{txs} , S5, S6 の各状態の対応を Table 1 に示す。 V_{txs} の「1」、 0 、「-1」はそれぞれ 3 レベル電圧の正、 0 、負に対応した電圧を意味し、S5, S6 の「-」は ON, OFF 状態を問わないことを意味している。S5, S6 の ON, OFF 状態を問わない理由は、このときの S5 および S6 にはソースからドレイン方向への電流が流れており、OFF 状態でもボディダイオードにより通流するためである。実機試験においては、損失低減のためこれらの状態における S5 および S6 は ON としている。

各動作モードにおける主要な部分の理想波形を Fig. 3 に、各動作モードにおける二次側回路の等価回路および電流経路を Fig. 4 に示す。Fig. 3 は上からトランス二次側電圧 V_{txs} 、カレントダブル側のインダクタ電流 I_{L1} , I_{L2} 、S5, S6 のスイッチング状態 (high が ON, low が OFF)、そして降圧チョップ側のインダクタ電流 I_{L3} , I_{L4} である。

以下に各モードにおける二次側回路動作の詳細を示す。

〈Mode 1〉 V_{txs} が正、S5 が OFF のとき (Fig. 4 (a))

L1 が V_{txs} により充電され、L2, L3, L4 は放電する。

〈Mode 2〉 V_{txs} が正、S5 が ON のとき (Fig. 4 (b))

S5 が ON することにより、 V_{txs} から L1 だけでなく L3 も充電される。L2, L4 は放電する。

表 1 提案回路の動作モード

Operation mode	1	2	3	4	5	6
V_{txs}	1	1	0	-1	-1	0
S5	off	on	—	—	—	—
S6	—	—	—	off	on	—

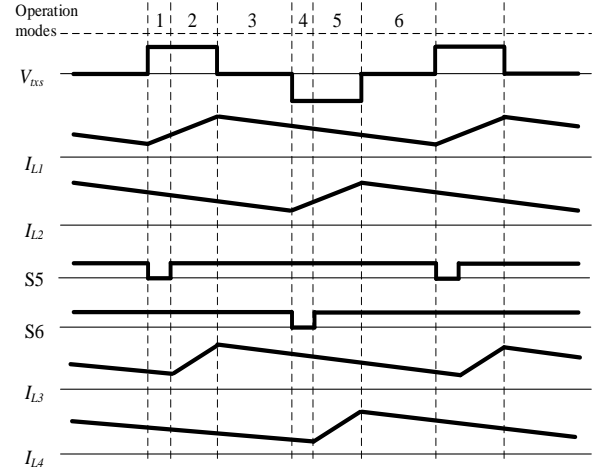


図 3 各動作モードにおける各部の動作波形

Fig. 3. Operating waveforms of each operation mode.

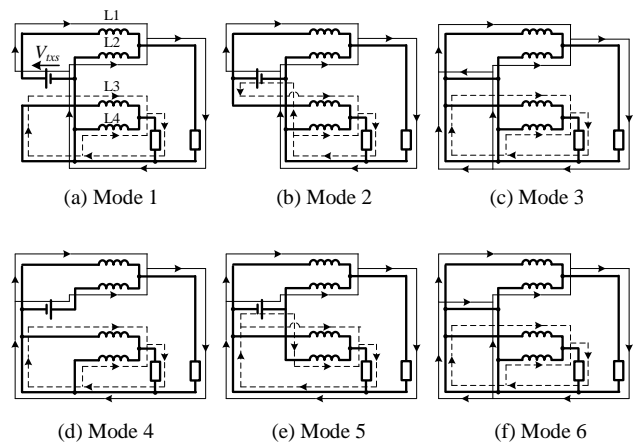


図 4 二次側回路の各動作モードにおける等価回路と電流経路

Fig. 4. Equivalent circuit and current flow of each operation mode in secondly circuit.

〈Mode 3〉 V_{txs} が 0 のとき (Fig. 4 (c))

V_{txs} が 0 になることにより、L1, L2, L3, L4 全てが放電する。

〈Mode 4〉 V_{txs} が負、S6 が OFF のとき (Fig. 4 (d))

L2 が V_{txs} により充電され、L1, L3, L4 は放電する。

〈Mode 5〉 V_{txs} が負、S6 が ON のとき (Fig. 4 (e))

S6 が ON することにより、 V_{txs} から L2 だけでなく L4 も充電される。L1, L3 は放電する。

〈Mode 6〉 V_{txs} が 0 のとき (Fig. 4 (f))

V_{txs} が 0 になることにより、L1, L2, L3, L4 全てが放電する。

3. 1 kW 出力における実機検証

(3・1) 主回路の構成

Table 2 に実機検証で用いた回路の仕様を、Fig. 5 に実機検証を行った回路の回路図を示す。入力電圧 V_{in} は 300 V、入力キャパシタは 330 μF のアルミ電解キャパシタ、カレントダブラ側の出力 V_{out1} は 48 V、降圧チョップ側の出力 V_{out2} は 12 V である。スイッチング周波数は前述の通り 400 kHz である。400 kHz (一周期 2.5 μs) のスイッチングを実現するため、FPGA は 2.5 μs に対して時間分解能を充分確保できるように、クロック周期 5 ns (周波数 200 MHz) の XC7K70T-1FBG484C を用いた。6 つのスイッチング素子は 400 kHz でのスイッチング損を考慮し、スイッチング遷移時間の短い SiC MOSFET であるローム製の SCT3030AL を用い、2 つのダイオードは、逆回復時間が極めて短い SiC ショットキーバリアダイオードである ON Semiconductor 製の FFSH4065A を用いた。二次側回路は電流値が大きいので、S5, S6, D1, D2 はそれぞれ素子を並列接続し、OFF 時のサージ電圧を考慮してスナバ回路を設けた。トランスの巻数比は 4:2、インダクタのインダクタンス値は電流リプルの振幅と巻線径及びコアサイズの兼ね合いから L1, L2 は 15 μH 、L3, L4 は 3 μH とした。出力キャパシタのキャパシタンス値は出力リプルの吸収するに足る充分な値として、カレントダブラ側の出力キャパシタは 22 μF のセラミックキャパシタを 2 並列で 44 μF 、降圧チョップ側の出力キャパシタは 47 μF のセラミックキャパシタを 4 並列で 188 μF とした。

(3・2) 制御回路の構成

Fig. 6 に本回路の制御ブロック図を示す。全てのタイミング信号は FPGA によって生成され、適切なデッドタイムを付与された後、絶縁ゲート駆動回路を介して各ゲートに入力される。S1 のゲートにはデューティ 0.5、周波数 400 kHz の矩形波が入力され、その反転信号が S2 のゲートに入力される。S3 のゲートへの入力信号は S1 のゲート信号を基準に位相シフトしたもので、その反転信号が S4 のゲート信号である。なお、位相シフト量はカレントダブラ側の出力電圧 V_{out1} のフィードバックにより得られる。具体的には、 V_{out1} を分圧した電圧 V_{fb1} とその電圧指令値 V_{out1}^* との偏差に対して PI 演算を行い、PI 制御器の出力信号は S1 のゲート信号と同期した 400 kHz の鋸歯状波と比較され、その結果を基に位相のシフト量が得られる。S5, S6 のゲート信号は、降圧チョップ側の出力電圧のフィードバックから得られる。S3, S4 のゲート信号と同様、降圧チョップ側の出力電圧 V_{out2} を分圧した電圧 V_{fb2} とその電圧指令値 V_{out2}^* の偏差に対して PI 演算を行った信号が、S1 のゲート信号と同期した 800 kHz の鋸歯状波と比較される。鋸歯状波の周波数を 800 kHz とした理由は、FPGA の分解能を有効に利用するためである。400 kHz の一周期 (2.5 μs) 内で V_{rzs} が正または負のレベルを取り得る最長期間は、その半周期の 1.25 μs である。S5 は V_{rzs} が正のとき、S6 は V_{rzs} が負のときにしかスイッチングし

表 2 実験回路の仕様

Table 2. Specifications of experimental circuit.

Parameters	Values
V_{in}	300 V
C_{in}	330 μF
V_{out1} (current doubler side)	48 V
V_{out2} (buck chopper side)	12 V
Switching frequency	400 kHz
FPGA	XC7K70T-1FBG484C
Clock frequency of FPGA	200 MHz
S1, S2, S3, S4, S5, S6	SCT3030AL (ROHM)
D1, D2	FFSH4065A (ON Semiconductor)
Transformer turn ratio	N1:N2 = 4:2
L1 and L2	15 μH
L3 and L4	3 μH
C1	44 μF
C2	188 μF

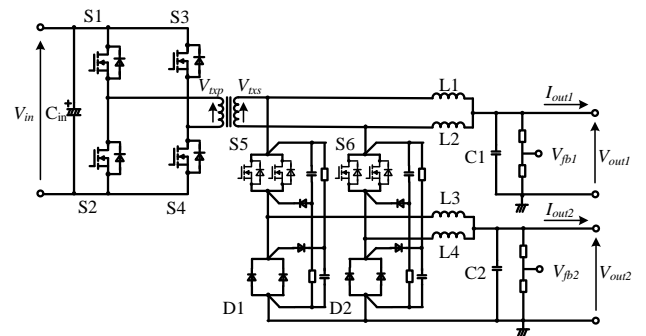


図 5 実機検証の回路構成

Fig. 5. Configuration of experimental test circuit.

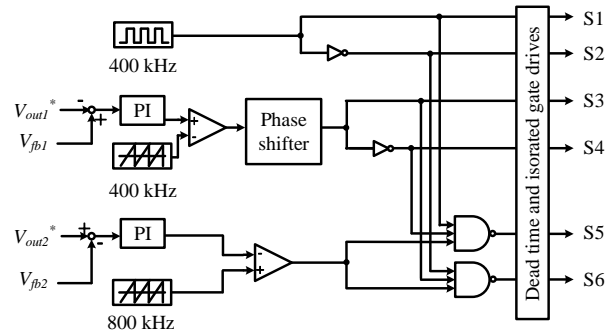


図 6 提案回路の制御ブロック図

Fig. 6. Block diagram of proposed circuit controller.

ないため、鋸歯状波の周波数を 400 kHz にすると、S5 にとっては V_{rzs} が負の時間の、S6 にとっては V_{rzs} が正の時間の鋸歯状波は決して PI 演算の出力信号と比較されず無駄になってしまう。鋸歯状波の周波数を 800 kHz にすることで、その無駄をなくすることができる。ただし、このままでは S5, S6 は V_{rzs} のレベルに関わらずスイッチングしてしまうため、 V_{rzs} のレベルを判定するため、S5 は S1, S3 と、S6 は S2, S4 とそれぞれ AND を取ることによって Table 1 の制御を実現することができる。

以上のように、カレントダブラ側の出力電圧である V_{out1} は一次側インバータのパルス幅により制御 (PWC) され、

降圧チョップ側の出力電圧である V_{out2} は二次側回路の S5, S6 を用いたパルス幅により制御される。ただし、両出力電圧の制御が完全に独立しているわけではなく、S1~S4 のスイッチングで決まるインバータからの伝送電力の一部を S5, S6 によって降圧チョップ側に伝送し、残りの電力がカレントダブル側へ伝送されることになる。つまり、カレントダブル側のフィードバック信号で決まるインバータのデューティが本回路における両負荷の要求電力に対応する。よって本制御構成では、損失を無視した場合、両負荷が要求する電力の合計がインバータのデューティ上限時の伝送電力を超えない限り、カレントダブル側と降圧チョップ側の出力電力の割り振りに制限はない。

〈3・3〉 1 kW 出力時の動作確認

Fig. 7 に提案回路の電源投入から定常状態に至るまでの出力電圧 V_{out1} , V_{out2} 及び出力電流 I_{out1} , I_{out2} を示す。なお、測定に用いたオシロスコープは TELEDYNE 製の HDO6104A-MS、電圧差動プローブは YOKOGAWA 製の 700924、電流プローブは Tektronix 製の TCP312A (~30A) 及び TCP303 (30A~) である。なお、電圧差動プローブと電流プローブ間の伝搬遅延時間差は、TELEDYNE 製のデスクュージグ DCS025 を用いて補正した。Fig. 7 に示したように、電源立ち上げから 0.5 s 以内に両出力の電圧、電流ともに一定値に整定し、定常動作することが確認できた。整定した電圧値はそれぞれ V_{out1} が 49.1 V, V_{out2} が 12.2 V であった。それぞれの指令値である 48V, 12 V からずれているが、これは分圧抵抗比の誤差が原因である。定常状態でのリップル電圧は V_{out1} , V_{out2} 共に ± 1 V, リプル電流は I_{out1} が ± 0.3 A, I_{out2} が ± 3 A であった。 I_{out2} のリップルが大きいのは、 I_{out2} の測定に用いた TCP303 の分解能が、 I_{out1} の測定に用いた TCP312A の分解能より低いためである。なお、電圧の整定にかかる時間は実験に用いた定電圧電源の立ち上がり時間に制約されるため、実際にバッテリーを電源として用いた場合には定常状態に達する時間は更に短くなると思われる。その際は、電流、電圧のオーバーシュートを防ぐためにソフトスタート等の対策が必要であるが、これは今後の課題とする。

Fig. 8 に、Fig. 3 の動作原理で示した理想波形に対応する各部の波形 (V_{exp} , V_{rs} , I_{L1} , I_{L2} , V_{ds5} , V_{ds6} , I_{L3} , I_{L4}) をそれぞれ示す。なお、 V_{gs5} , V_{gs6} の測定が困難であったため、代わりに V_{ds5} , V_{ds6} を測定することでスイッチングタイミングを判断した。これらの波形から、1周期が 2.5 μ s, 即ち周波数 400 kHz で動作していることが確認できる。また、 V_{rs} が正のときに L1 に充電電流が、負のときに L2 に充電電流が流れており、 V_{rs} が正かつ V_{ds5} が 0V (S5 が ON) のときに L3 に充電電流が、 V_{rs} が負かつ V_{ds6} が 0V (S6 が ON) のときに L4 に充電電流が流れている。その結果、 I_{L1} , I_{L2} と I_{L3} , I_{L4} はそれぞれインターリーブ動作をしており、Fig. 3 に示した所期の動作が実現されていることが確認できる。

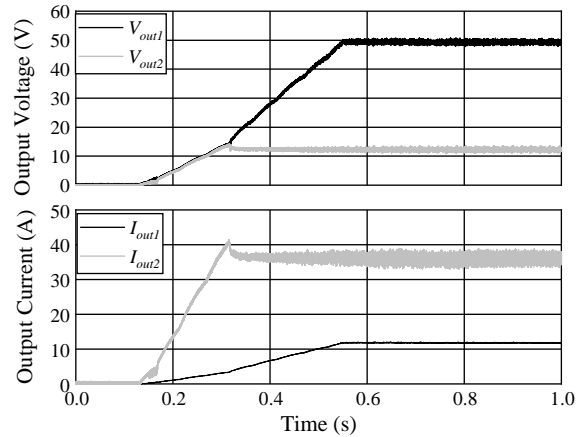


図7 出力波形

Fig. 7. Dual port output waveforms.

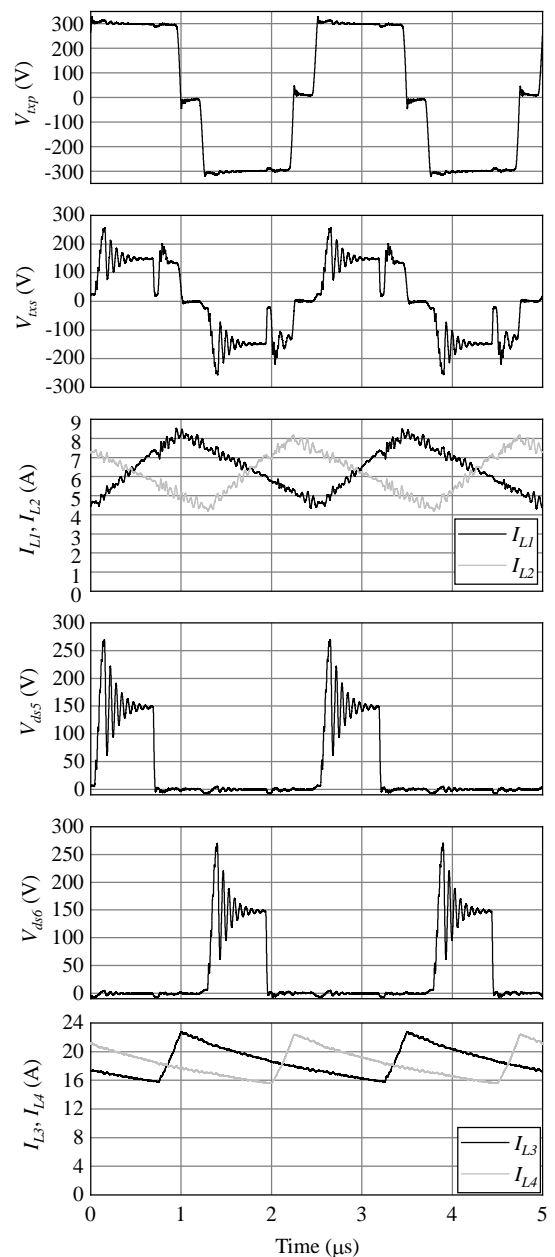


図8 定常動作時の各部波形

Fig. 8. Waveforms of steady state.

トランス一次側電圧 V_{xp} の波形より、3 レベルの電圧が確認できる。レベル切り換え時のサージ電圧のピーク値は、0 V から ± 300 V への切り換え時は ± 330 V、 ± 300 V から 0 V への切り換え時は ± 43 V であった。いずれも電圧振幅値の 1.2 倍未満に抑えられている。その一方でトランス二次側電圧 V_{xs} の波形は、3 レベルの電圧が確認できるものの、サージや高周波ノイズが見られる。サージは S5, S6, D1, D2 の OFF 時に生じており、そのピーク値は定常値 ± 150 V に対して ± 258 V であった。これは本来の電圧振幅値の 1.7 倍であり、 V_{xp} と比較して大きい。この原因として、二次側回路が一次側回路よりも dl/dt 及び電流経路内のインダクタンス（基板の寄生インダクタンス、トランスの漏れインダクタンス）が大きいことが考えられる。サージのリングング周波数は約 13 MHz と約 42 MHz であり、それぞれトランスの漏れインダクタンスと S5, S6 及び D1, D2 の OFF 時の寄生容量による共振であると考えられる。 $L_{L1}, L_{L2}, V_{ds5}, V_{ds6}, L_{L3}, L_{L4}$ に重畳している高周波ノイズも同じ周波数を有していることから、二次側回路全体に高周波ノイズが伝播していると言える。

4. 効率評価

〈4・1〉 動作点と測定条件

効率測定を行った動作点を Fig. 9 に示す。カレントダブル側出力電力 (P_{out1}) の動作点は、誘導性抵抗を用い 160 W, 290 W, 480 W, 580 W の 4 点とした。一方、降圧チョップ側出力電力 (P_{out2}) の動作点は、無誘導抵抗を用いて 150 W, 300 W, 440 W の 3 点とした。これらの合計 12 か所の動作点における総入力電圧、電流 (V_{in}, I_{in})、一次側トランス電圧、電流 (V_{xp}, I_{xp})、二次側トランス電圧、電流 (V_{xs}, I_{xs})、カレントダブル側出力電圧、電流 (V_{out1}, I_{out1})、そして降圧チョップ側出力電圧、電流 (V_{out2}, I_{out2}) の計 10 箇所の波形をそれぞれ測定し、一次側インバータ、トランス、二次側整流回路の各部効率、総合効率をそれぞれ計算した。以下、測定点について言及する際は Fig. 9 中に記載した番号を使用する。なお、使用したオシロスコープのチャンネル数が 4 つであることから、前述の全 10 箇所を同時に測定することができないため、各測定点で 4 回に分けて測定を行った。

〈4・2〉 電力-効率特性

Fig. 10 に総出力電力 ($P_{out1} + P_{out2}$) に対する総合効率を示す。 P_{out1}, P_{out2} 共に最小である測定点 1 における効率が最低で 62.8 % であった。一方、最大効率は P_{out1} が最大、 P_{out2} が最小である測定点 4 における 78.2 % であった。総出力電力が増加するにつれて効率が增加する傾向が見られ、効率の極大動作点は更に重負荷領域に存在すると考えられる。

Fig. 11 に横軸を P_{out1} とした総合効率を示す。 P_{out2} の値に関わらず P_{out1} の増加とともに効率は増加した。これは、今回の P_{out1} の範囲ではいずれも固定損が負荷損より大きく、最大効率動作点は P_{out1} が 600 W より大きいということを示している。また、 P_{out2} が大きくなるにつれて傾きが小さく

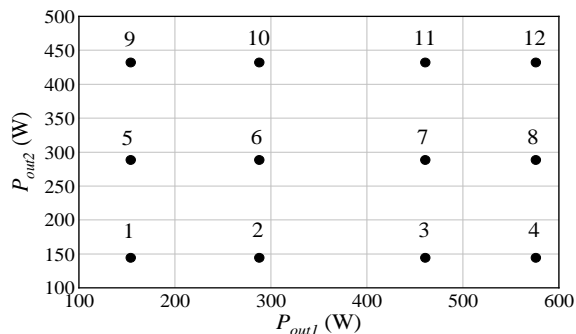


図 9 測定点
Fig. 9. Measured operation points.

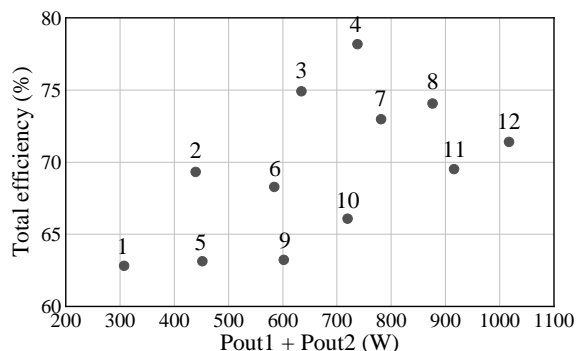


図 10 総出力電力-総合効率特性
Fig. 10. Efficiency vs. total output power.

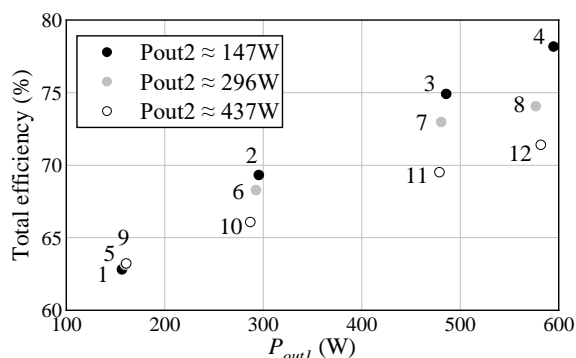


図 11 カレントダブル側出力電力-効率特性
Fig. 11. Efficiency vs. output power of current doubler side.

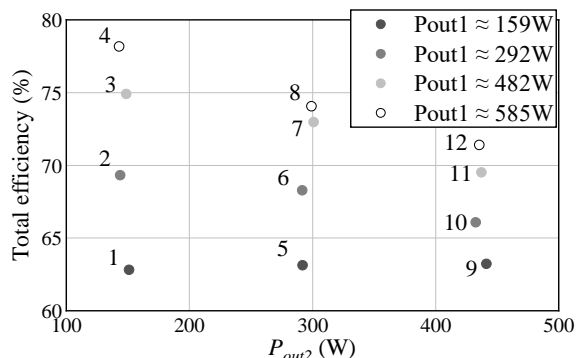


図 12 降圧チョップ側出力電力-効率特性
Fig. 12. Efficiency vs. output power of buck chopper side.

なっており、 P_{out2} が大きい方が固定損に対する負荷損の割合が大きいたことが推察できる。

Fig. 12 に横軸を P_{out2} とした総合効率を示す。 P_{out1} が 159 W のときの傾きがほぼゼロであるが、そこから P_{out1} が増加するにつれて傾きが負の方向に大きくなっている。これは、 P_{out1} が増加するにつれて負荷損が固定損よりも大きくなっているということである。 P_{out1} は最大効率動作点が今回の電力範囲より大きいところにあるのに対して、 P_{out2} は $P_{out2} = 147$ W のときにはほぼ効率最大点を過ぎてしまっている。今後、本回路を大電力化する際は、 P_{out2} ではなく P_{out1} を大電力にするのが望ましい。

〈4・3〉 損失分離

測定した各部の電流、電圧波形から、一次側インバータ、トランス、二次側整流回路の各効率を計算した。その結果を Fig. 13 に示す。なお、測定データの時間刻みは 0.1 ns で、測定周期は 20 周期 (50 μ s) である。取得した各部の電圧、電流瞬時値の積を測定周期で積分後、測定周期で除算することにより入力電力、トランス一次側電力、トランス二次側電力、両出力電力をそれぞれ計算した。前述の通りすべての測定箇所を同時に測定することができないため、損失の計算に誤差が生じる可能性がある。ここでは、入力電力とトランス一次側電力の差を一次側インバータ損失、トランス一次側電力とトランス二次側電力の差をトランス損失、そしてトランス二次側電力と両出力電力の和の差分を二次側整流回路損失とし、これら 3 種類の損失で全損失を占めているとした。

Fig. 13 に示されるとおり測定点と損失分離結果に相関は見られず、損失割合はほぼ一様であった。いずれも二次側整流回路の損失が全損失の約 50 % を占めており、残りの 15 ~ 20 % がトランスの損失、30 ~ 35 % が一次側インバータの損失であった。Fig. 8 に示されるように、S5, S6, D1, D2 の両端電圧は、スナバ回路で逆起電力のエネルギーを吸収しているにもかかわらずサージ電圧が大きい。よって二次側整流回路の損失が全損失の大半を占めるのは妥当であり、スナバ回路の損失が二次側整流回路の中でも多くを占めていると考えられる。

5. まとめ

本稿では、高周波トランスの二次側にカレントダブルと降圧チョップを合成した回路を採用した絶縁形デュアルポート DC/DC コンバータを試作し、周波数 400 kHz、最大総出力電力 1 kW における実機検証を行った。カレントダブル側の出力電力 580 W、降圧チョップ側の出力電力 150 W のときに最大効率 78.2 % を達成した。今後は更に出力電力を上げて運転特性を評価するとともに、詳細な損失分析を行う所存である。

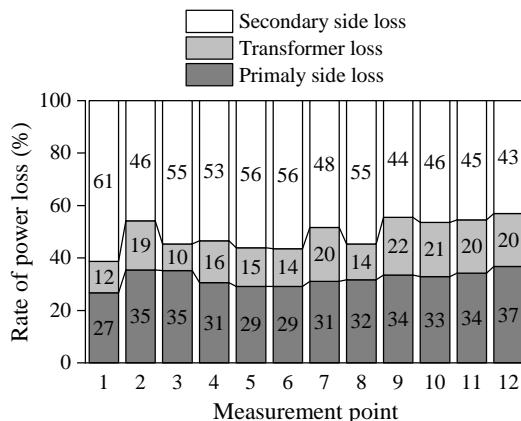


図 13 各測定点における損失分離結果
Fig. 12. Loss analysis result of each operating point.

文 献

- (1) T. Teratani, "Impact of DC48V on Automotive Power Supply System," *IEEJ Transactions on Industry Applications*, vol. 135, no. 9, pp. 892-897.
- (2) R. Ota, N. Hoshi, and K. Uchida, "Improving the Efficiency by Controlling the Switching Frequency for Secondary-side Converter of an Inductive Power Transfer System," *IEEJ Transactions on Industry Applications*, vol. 137, no. 2, pp. 95-103.
- (3) K. Hata, T. Imura, and Y. Hori, "Simultaneous Estimation of Two Parameters Based on Secondary-Side Information for Wireless Power Transfer via Magnetic Resonance Coupling," *IEEJ Transactions on Industry Applications*, vol. 137, no. 2, pp. 104-111.
- (4) S. Sinha and S. S. Chandel, "Review of recent trends in optimization techniques for solar photovoltaic-wind based hybrid energy systems," *Renewable and Sustainable Energy Reviews*, vol. 50, 2015, pp. 755-769.
- (5) M. Hosenuzzman, N. A. Rahim, J. Selvaraj, and M. Hasanuzzaman, "Global prospects, progress, policies, and environmental impact of solar photovoltaic power generation," *Renewable and Sustainable Energy Reviews*, vol. 41, 2015, pp. 284-297.
- (6) K. Itoh, M. Ishigaki, N. Yanagizawa, S. Tomura, and T. Umeno, "Analysis and Design of a Multiport Converter Using a Magnetic Coupling Inductor Technique," *IEEE Transactions on Industry Applications*, vol. 51, Issue 2, 2015, pp. 1713-1721.
- (7) Z. Ling, H. Wang, K. Yan, and J. Gan, "Optimal Isolation Control of Three-Port Active Converters as a Combined Charger for Electric Vehicles," *Energies*, 2016, vol. 9, Issue 9, 715.
- (8) L. Piris-Botalla, G. G. Oggier, A. M. Airabella, and G. O. Garcia, "Power losses evaluation of a bidirectional three-port DC-DC converter for hybrid electric system," *Electrical Power and Energy Systems*, vol. 58, 2014, pp. 1-8.
- (9) Z. Rehman, I. Al-Bahadly, and S. Mukhopadhyay, "Multiinput DC-DC converters in renewable energy applications -An overview," *Renewable and Sustainable Energy Reviews*, vol. 41, 2015, pp. 521-539.
- (10) N. Zhang, D. Sutanto, and K. M. Muttaqi, "A review of topologies of three-port DC/DC converters for the integration of renewable energy and energy storage system," *Renewable and Sustainable Energy Reviews*, vol. 56, 2016, pp. 388-401.